



12

②¹ Anmeldenummer: 93117699.4

⑤ Int. Cl.⁵: **H04J 3/06**, **H04J 3/04**

②② Anmeldetag: 02.11.93

③ Priorität: 11.11.92 DE 4238090

④ Veröffentlichungstag der Anmeldung:
18.05.94 Patentblatt 94/20

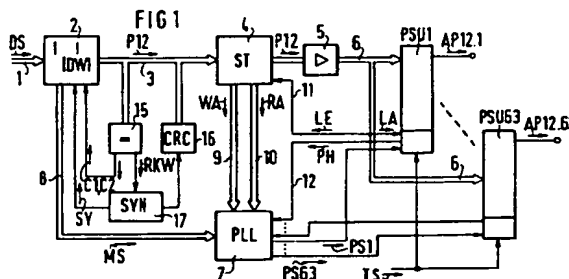
84 Benannte Vertragsstaaten:
AT BE CH DE DK ES FR GB GR IE IT LI LU MC
NL PT SE

71) Anmelder: **SIEMENS AKTIENGESELLSCHAFT**
Wittelsbacherplatz 2
D-80333 München(DE)

⑦ Erfinder: **Volejnik, Wilhelm, Dipl.-Ing.**
Andreasstrasse 9
D-82054 Sauerlach(DE)

54 Verfahren und Anordnung zur Rückgewinnung von in Funktionsdatenblöcken übertragenen plesiochronen Signalen.

57) Im Zeitmultiplexverfahren erfolgt eine byteweise Ausrichtung der in einem Container (C4) plesiochronen Signalen (P12). Diese werden in separaten Bereichen eines Pufferspeichers (4) zwischengespeichert, im Zeitmultiplexbetrieb ausgegeben und in Parallel-Seriell-Umsetzern (PSU1...PSU63) in serielle Datensignale (AP12) umgesetzt. Die Frequenzanpassung erfolgt individuell für jedes ausgegebene plesiochrone Signal (AP12.1 ... AP12.63) durch eine Phasenregaleinrichtung (7).



In der synchronen digitalen Hierarchie (SDH) werden plesiochrone Signale in Funktionsdatenblöcke, sogenannte Container, eingefügt und in synchronen Transportmodulen übertragen.

Im CCITT Blue Book, Vol. III-Fascicle III.4 ist in der Recommendation G. 709, Fig. 1-1 die Multiplexstruktur dargestellt. Beispielsweise werden mehrere H12-Signale (oder P12-Signale) in Container C12 eingefügt. Diese werden zu virtuellen Containern VC12 und Tributary Units TU12 ergänzt, die wiederum in Tributary Units TUG-21 (TUG2) eingefügt werden. Von diesen werden 21 in einen Container C4 eingefügt und in Form eines synchronen Transportmoduls STM-1 übertragen. Das Multiplexschema zeigt mehrere andere Möglichkeiten zur Übertragung von plesiochronen Signalen, die auch unterschiedliche Datenraten aufweisen.

Das Problem besteht nun darin, die plesiochronen Signale gleicher Solldatenrate aus dem Funktionsdatenblock zu separieren und (in der Regel) in serieller Form auszusenden. Es ist ein Verfahren anzugeben, daß mit möglichst geringem Schaltungsaufwand realisiert werden kann. Außerdem ist eine hierzu geeignete Anordnung anzugeben.

Das Problem wird durch das im Patentanspruch 1 angegebene Verfahren gelöst.

Eine geeignete Anordnung ist in einem unabhängigen Anspruch angegeben.

Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen beschrieben.

Der besondere Vorteil der Erfindung liegt in der gemeinsamen im Zeitmultiplexbetrieb erfolgenden Verarbeitung.

Besonders vorteilhaft ist auch die Verwendung von digitalen Regelschleifen.

Eine weitere Vereinfachung der Anordnung wird durch eine nur einseitig ausgerichtete Taktanpassung des Ausgabetaktsignals an die Datenrate eines plesiochronen Signals erreicht.

Das Verfahren und ein Ausführungsbeispiel werden anhand von Figuren näher erläutert.

Es zeigen

- Fig. 1 ein Blockschaltbild der Rückgewinnungsanordnung,
- Fig. 2 ein Prinzipschaltbild der Wortjustiereinrichtung,
- Fig. 3 ein erstes Zeitdiagramm zur Erläuterung der Funktion,
- Fig. 4 ein zweites Zeitdiagramm zur Erläuterung der Funktion,
- Fig. 5 eine kombinatorische Logikschaltung zur Berechnung von Kontrollbits,
- Fig. 6 einen Seriell-Parallel-Umsetzer,
- Fig. 7 eine Phasenregelungseinrichtung und
- Fig. 8 eine Kennlinie zur Steuerung des Ausgabetaktes.

In Figur 1 ist eine Rückgewinnungsanordnung für plesiochrone Signale dargestellt. Zur Erläute-

5 rung der Funktion wird angenommen, daß es sich um P12-Signale mit einer Solldatenrate von 2048 kbit/s handelt, die - in einen synchronen Transportmodul STM-1 eingefügt - empfangen werden. Jedes plesiochrone Signal P12.1...P12.63 ist hierbei in eine Tributary Unit TU12 eingefügt. Die Tributary Units TU12 sind spaltenweise (byteweise) verschachtelt in einem virtuellen Container VC4 enthalten. In Figur 2.7 der Recommendation G. 709 (1991) ist dies Schema dargestellt. Insgesamt sind in einem virtuellen Container VC4 bzw. in einem Container C4 63 verschiedene Tributary Units TU12 und somit 63 verschiedene P12-Signale eingefügt. Jede Tributary Unit TU12 nimmt folglich vier Spalten im Container C4 ein. Die dargestellten Daten werden zeilenweise übertragen.

Die Rückgewinnungsanordnung enthält im wesentlichen eine Wortjustiereinrichtung 2, der über einen Datenbus 1 das Nutzdatensignal DS zugeführt wird. Der Ausgang der Wortjustiereinrichtung ist über einen weiteren Datenbus 3 mit dem Eingang eines Pufferspeichers 4 verbunden. Dessen Ausgang ist - falls erforderlich über einen Bussignalverstärker 5 - mit einem Bussystem 6 verbunden, das an die Dateneingänge von mehreren Parallel-Seriell-Umsetzern PSU1 bis PSU63 geführt ist.

Anstelle der Parallel-Seriell-Umsetzer können Register treten an deren Ausgänge Demultiplexer zur Rückgewinnung von 64 kbit/s-Signalen angeschaltet sind.

Außerdem ist eine Phasenregelungseinrichtung 7 vorgesehen, die über weitere Busverbindungen 8 bis 11 Information von der Wortjustiereinrichtung, dem Pufferspeicher und den Parallel-Seriell-Umsetzern erhält. Den Parallel-Seriell-Umsetzern wird ein Taktsignal TS zugeführt, das die Frequenz eines P12-Datensignals aufweist oder durch die Phasenregelungseinrichtung an diese angepaßt wird.

Die Rückgewinnungsanordnung separiert aus dem Nutzdatensignal, das in den Pulsrahmen eines Containers C4 eingefügt ist, die miteinander byteweise verschachtelten 63 P12-Signale, führt eine Justierung der Datenwörter DW (Bytes) durch und gibt sie, wie in Fig. 1 dargestellt ist, als serielle Ausgangssignale AP12.1 bis AP12.63 oder byteweise in paralleler Form ab. An dem Bus 3 sind außerdem eine Vergleichseinrichtung 15 und eine Kontrollschaltung 16 angeschlossen. Die Vergleichsschaltung gibt bei Empfang eines Rahmenkennwortes RKW und von Stopfinformation die entsprechenden Ausgangssignale ab. Die Kontrollschaltung überprüft die Daten der P12-Signale auf Fehler. Eine an die Vergleichseinrichtung 15 angeschaltete Synchronisierung 17 zur Feststellung der Wortgrenzen der 2048-kbit/s-Signale P12 greift ebenfalls in die Wortjustiereinrichtung 2 ein und bewirkt die durch Auswertung des Rahmenken-

nungswortes die Wortsynchronisation. Die Anpassung an die Datenraten der plesiochronen Signale P12 erfolgt durch die Phasenregeleinrichtung 7 mit Hilfe des Pufferspeichers 4.

In Figur 2 ist die Wortjustiereinrichtung 2 als Prinzipschaltbild dargestellt. Sie enthält einen Zwischenspeicher 21, dem über den Datenbus 1 jeweils ein Oktett (Byte) des Nutzdatensignals DS zugeführt wird, und Speicherstufen 22, in die einzelne Stopfbits S1 eingespeichert werden. Der Speicher 21 weist eine Breite von einem Byte bei einem Speicherumfang von 63 Bytes auf, so daß bei einer vorgegebenen Speicheradresse jeweils zwei aufeinanderfolgende Oktetts (Bytes) derselben TU-12 an den Ausgängen des Speichers 21 und dem Datenbus 1 anliegen. Ebenso sind 63 Speicherstufen 22 vorhanden. Außerdem sind 8 Multiplexer MUX1 bis MUX8 vorhanden, deren Eingänge - wie in Fig. 2 dargestellt - mit dem Bus 1 und den Ausgängen des Speichers 21 und der letzten der Speicherstufen 22 verbunden sind. Eine Steuerung 23, die sowohl hardware- als auch softwaremäßig realisiert werden kann, steuert die Multiplexer.

Anhand von Figur 3 wird die Wirkungsweise der Wortjustiereinrichtung näher erläutert. In dem Diagramm ist ein im übertragenen Nutzdatensignals DS enthaltenes 2,048 Mbit/s-Signal (P12-Signal) in serieller Form dargestellt. Jeweils acht Bits 1 bis 8 bilden ein Oktett, das in einem Zeitschlitz des Containers übertragen wird. Das serielle Signal wird dann in das parallele Signal P12 mit ein Byte breiten Datenwörtern DW umgesetzt, das über den Datenbus 1 übertragen wird und an den Eingängen des Speichers 21 anliegt. Betrachtet wird zunächst nur ein TU12- bzw. P12-Signal, dessen Oktetts in Fig. 3 aneinandergrenzend dargestellt sind. Auf dem Datenbus 1 werden jeweils zwischen den dargestellten Oktetts 62 weitere Oktetts der übrigen P12-Signale übertragen.

Wenn keine Phasenverschiebung zwischen den empfangenen TU12-Oktetts und in den Pufferspeicher 4 einzuschreibenden P12-Bytes besteht, dann werden diese direkt vom Ausgang des Zwischenspeichers 21 in den Pufferspeicher 4 übernommen. Das P12-Signal wird in der Regel im "asynchronous mode" nicht bytesynchron in die Zeitschlitz einer TU12 (bzw. eines Containers) eingefügt. Durch Stopfvorgänge kommt es zu weiteren Phasenverschiebungen. So werden beispielsweise die Bits 5 bis 8 des ersten in Fig. 3 dargestellten Oktetts und die Bits 1 bis 4 des folgenden Oktetts an den Ausgängen A1 bis A8 der Multiplexer MUX1 bis MUX8 als ein Byte des P12-Signals abgegeben. Die ersten an den Ausgängen A1 ... A4 der Multiplexer abgegebenen Bits entsprechen den verzögerten Bits 5V bis 8V (oberhalb des P12-Signals markiert) und die an den Ausgängen A5 bis

A8 folgenden Bits den direkt von dem Datenbus übernommenen Bits 1B bis 4B. Die Multiplexer werden so gesteuert, daß sie jeweils die gewünschten 8 Bits durchschalten, so daß am Bus 3 jeweils eine Byte eines der P12-Signale anliegt. Um die Steuerung zu erleichtern, sind die Eingänge unterschiedlich verdrahtet, so daß alle Multiplexer - beispielsweise beim Auslesen der Bits 1V bis 8V - mit derselben Steueradresse 0 arbeiten. Die Multiplexer weisen mindestens 9 Eingänge auf; durch eine Version mit 10 Eingängen wird die Steuerung vereinfacht.

Im Zeitdiagramm nach Figur 3 wird in einem Oktett ein sogenanntes C-Byte übertragen, dessen Stopfinformationsbits C1 und C2 angeben, daß das erste Bit S2 des folgenden Oktetts als Stopfbits keine Information enthält. Folglich werden bei diesem positiven Stopfvorgang die Bits 5V bis 8V und 2B bis 5B an die Ausgängen A1 bis A8 durchgeschaltet. Anschließend die Bits 6V bis 8V und 1B bis 5B usw.

In Figur 4 ist ein Zeitdiagramm für negatives Stopfen dargestellt. Vor dem Empfang eines weiteren C-Bytes sind bereits die Bits 1 bis 8 des vorangegangenen Oktetts desselben P12-Signals im Zwischenspeicher 21 eingespeichert worden. Durch die Stopfinformationsbits C1 und C2 wird signalisiert, daß an letzter Position des C-Bytes ein Stopfbits S1, das Nutzinformation aufweist, übertragen wird. Dies wird in den Speicherstufen 22 zwischengespeichert. Nach einer weiteren Container-Periode liegt das Stopfbits S1 und das diesem vorangegangene Oktett desselben P12-Signals liegt in Figur 4 an deren Ausgang an. Erst nach Anliegen des nächsten Oktetts derselben TU12 auf dem Datenbus 1 kann ein komplettes Byte 5V...8V, S1, 1B ...3B übernommen werden und an den Ausgängen A1 bis A8 der Multiplexer abgegeben werden. Anschließend werden die fünf letzten Bits 4V bis 8V und die ersten drei Bits 1B bis 3B des folgenden Bytes an die Ausgänge A1 bis A8 durchgeschaltet usw.

Die Steuerung 23 besteht im wesentlichen aus einer Zählvorrichtung und Speichern. Wird das nächste Byte desselben P12-Signals durchgeschaltet, dann bleiben die Steueradressen der Multiplexer in der Regel unverändert. Bei Stopfvorgängen müssen aber die Stopfbits S1 und S2 bei der Berechnung des Steuersignals für die Multiplexer MUX1 bis MUX8 unterschiedlich berücksichtigt werden. Die Steuerung erfolgt für alle P12-Signale separat; d.h. es sind entsprechend der Anzahl der TU12 bzw. P12-Signale 63 Speicher für die Steueradressen vorhanden.

Da im allgemeinen die Bytegrenzen der eingefügten P12-Signale nicht mit den Zeitschlitz (Oktetts) des zur Übertragung verwendeten Containers übereinstimmen, muß zunächst durch die Synchron-

nisierung, die das an den Ausgängen A1 bis A8 der Multiplexer abgegebene Byte mit einem Rahmenkennungswort des P12-Signals vergleicht und gegebenenfalls die Einstellung der Multiplexer verändert, der Rahmenbeginn gefunden werden und damit die Bytesynchronisierung erfolgen. Die byteweise Verarbeitung ist für eine Reihe von hier nicht weiter beschriebenen Funktionen besonders dann vorteilhaft, wenn sich jedes 2048-bit/s-Signals wiederum aus 32 64-kbit/s-Kanälen zusammensetzt. Durch einen nachgeschalteten Demultiplexer anstelle der Parallel-Seriell-Umsetzer kann so direkt eine Aufteilung in die 64-kbit/s-Kanäle erfolgen.

Eine der Vorteile bei bytesynchroner Verarbeitung besteht in einer aufwandsreduzierten Paritätsberechnung CRC-4 (Cyclic Redundancy Check). In Figur 5 ist die für alle 2048-kbit/s-Signale nur einmal vorhandene Schaltung dargestellt. Die Eingänge der Exclusive-ODER-Gatter EX1 bis EX8 auf der linken Seite sind mit den Ausgängen A1 bis A8 der Multiplexer verbunden. Die oben gezeichneten Eingänge sind jeweils mit Ausgängen eines 4-Bit-Kontrollspeichers KS1...KS63 verbunden. Insgesamt sind 63 solcher Speicher vorhanden, einer für jedes 2048-kbit/s-Signal. Jeweils mit Anlegen eines neuen Ausgangsbytes wird ein 4-bit-Ergebnis der vorhergehenden Rechenzyklen gelesen und an die oberen Eingänge der Schaltung angelegt. Das an der Schaltung unten anliegende Ergebnis wird wieder in den 4-bit-Kontrollspeicher eingeschrieben. Die Ermittlung der Kontrollbits erfolgt jeweils für eine Pulsrahmenperiode eines P12-Signals.

Die von der Wortjustiereinrichtung abgegebenen Datenwörter DW (Bytes) werden in den Pufferspeicher 4 eingeschrieben. Hierbei ist jeder der 63 Tributary Units TU-12 bzw. den zugehörigen 2048-kbit/s-Signalen ein eigener Speicherbereich mit beispielsweise 16 Bytes Umfang zugeordnet. Das Einschreiben und das Auslesen erfolgt byteweise mit Hilfe eines zentralen synchronen Taktes, wobei gegebenenfalls während einzelner Taktperioden kein Einschreiben bzw. Auslesen erfolgt, wenn dies durch die tatsächlichen Bitraten des 2048-kbit/s-Signals oder durch byteweise Stopfvorgänge bedingt ist. Das Auslesen aus dem Pufferspeicher 4 wird über Steuerleitungen 11 von den Parallel-Seriell-Umsetzern gesteuert. Der Phasenregleinrichtung 7 werden von dem Pufferspeicher 4 die Schreibadressen WA und Leseadressen RA der einzelnen Speicherbereiche über weitere Busverbindungen 9 und 10 zugeführt.

Ein Parallel-Seriell-Umsetzer PSU ist in Figur 6 dargestellt. Seine Funktion entspricht im wesentlichen der Funktion von bekannten Umsetzern. In ein erstes Übernahmeregister R1 werden die Datenwörter eines P12-Signals parallel übernommen und von diesem parallel in ein zweites Register R2, das Ausgabe-Schieberegister, eingespeichert, sobald

dieses leer ist. Eine weitere dem ersten Register R1 zugeordnete Speicherstufe 14 gibt an, ob die Daten aus dem ersten Register bereits übernommen worden sind und somit neue eingespeichert werden können. Mit dem Einspeichern eines neuen Datenworts (Bytes) wird die Speicherstufe 14 mit dem Setzen-Signal LA gesetzt und gibt die Zustandsmeldung LE = "voll" ab.

Als Ausgabetaktsignal TA für das zweite Register R2 wird hier eine von 32 möglichen Taktphasen des Taktsignals TS verwendet. Ein Übernahmetaktsignal TU, das zum Einspeichern der Daten aus dem ersten Register dient, wird durch einen Frequenzteiler 13 erzeugt. Die Teilerstellung (d.h. die Phase PH des Übernahmetaktes) wird der Phasenregleinrichtung 7 über Steuerleitungen 12 signalisiert, die an eine Phasenkorrektureinrichtung 18 ein Phasen-Steuersignal PS zur Auswahl der günstigsten (nächsten) Taktphase des Taktsignals TS liefert.

Das Taktsignal TS weist hier eine gegenüber dem internen Taktsignal leicht erhöhte Frequenz von 2048,219 kHz auf, so daß die Synchronisierung ausschließlich durch Wahl jeweils des nächsten phasenverschobenen Taktes durch die als 32:1-Multiplexer ausgebildete Phasenkorrektureinrichtung erfolgt, durch den eine Verlängerung eines Impulses und damit eine Verringerung der Frequenz bewirkt. Details dieser Schaltung sind in der europäischen Patentanmeldung 039 33 41 A1 beschrieben.

Soll keine Parallel-Seriell-Wandlung vorgenommen werden, kann auf das zweite Register R2 verzichtet werden. An die Ausgänge des Übernahmeregisters können Demultiplexer zur Umsetzung in die 64-kbit-Signale angeschaltet werden. Der Übernahmetaktsignal TU ist dann als Ausgabetakt anzusehen.

In Figur 7 ist ein erweitertes Prinzipschaltbild der Phasenregleinrichtung 7 dargestellt. Diese enthält ein Rechenwerk 71, eine Speichereinrichtung 73 mit Speichern ST1 bis ST63 zum Abspeichern der Grenzwerte von Zählerständen der 63 Oszillatorzähler ZO1 bis ZO63 des Zählerblocks 74 und einen Tabellenspeicher 72. Das Rechenwerk 71 berechnet aus der Differenz von Schreibadresse WA und Leseadresse LA separat für jeden Bereich des Pufferspeichers, aus der Stellung der Multiplexer bzw. dem Multiplexer-Steuersignal MS der Wortjustiereinrichtung und der Phase PH des zugehörigen Parallel-Seriell-Umsetzers die Anzahl der in diesen Bereich der 2048 kbit/s-Signale gespeicherten Bits, also den Füllgrad FG. (Auf das Bytestoppsignal BS soll hier nicht eingegangen werden). Im Zeitmultiplexverfahren werden beispielsweise einmal während eines C4-Pulsrahmens je Tributary Unit TU12 bzw. je 2048 kbit/s-Signals folgende Funktionen ausgeführt:

a) Je nach Signalnummer P12-NR = P12.1 bis P12.63 wird der Füllgrad aus der Schreib-, der Leseadresse, dem Steuersignal für die Multiplexer MS und des Phasensignals PH berechnet.

b) Mit diesem wird der Tabellenspeicher 71 angesteuert, der die gewünschten Grenzwerte der Periodenzähler der zugehörigen Oszillatorzähler ZO einstellt.

c) Es wird überprüft ob der Grenzwert erreicht ist und eine Phasenkorrektur erfolgen soll.

Es ist ausreichend, wenn dieser Vorgang einmal während eines Rahmens des VC-4 Containers oder noch seltener durchgeführt wird.

Die Oszillatorzähler können als herkömmliche Binärzähler oder einfache Register verwendet werden, deren Inhalt über einen Addierer jeweils innerhalb eines VC-4-Containers um Eins erhöht wird. Durch den variablen Grenzwert wird die Periodendauer festgelegt. Bei Erreichen dieses Grenzwertes wird ein Phasen-Steuersignal PS an den Multiplexer MUX32 der Phasenkorrekturereinrichtung 18 des zugehörigen Parallel-Seriell-Umsetzers abgegeben und hierdurch die Phase des Ausgabetaktes TA verzögert.

Die Häufigkeit der Phasenkorrekturschritte in jedem Parallel-Seriell-Umsetzer wird also von dem Grenzwert ZP (Zählerperiode) des zugehörigen Oszillatorzählers bestimmt. Je kleiner dieser Grenzwert, desto häufiger sind die Phasenkorrekturschnitte und desto niedriger ist der Mittelwert der Taktfrequenz des ausgegebenen 2048 kbit/s-Signals. Jeder Synchronisationsvorgang bewirkt eine Phasenverzögerung um 1/32 Periode des Taktsignals TS. Entsprechend wird ein Bit des Ausgangssignals um ca. 3 % verlängert. Der Synchronisationsvorgang wiederholt sich regelmäßig und bewirkt so eine Anpassung des Mittelwertes der Taktfrequenz des ausgegebenen Signals an dessen Originaldatenrate.

In Figur 8 ist ein Beispiel einer Kennlinie dargestellt, die die Abhängigkeit der Zählerperiode ZP vom Füllgrad des Speichers in Bits angibt. Anstelle der gestrichelt eingezeichneten linearen Kennlinie kann über eine eingespeicherte Tabelle auch eine nichtlineare Kennlinie erzeugt werden, die den Vorteil hat, daß ein vorteilhafter Zusammenhang zwischen der Anzahl der zwischengespeicherten Bits und den Mittelwert des Taktes des abgehenden Signals aufweist.

Beispielsweise kann bei nur wenig gespeicherten Bits der Mittelwert der Taktfrequenz des abgegebenen Signals besonders langsam werden bzw. bei vielen gespeicherten Bits schneller werden und bei dem Sollfüllgrad des Pufferspeicherbereiches von 80 Bits die Kennlinie flach verlaufen. Durch eine vorteilhafte Dimensionierung wird erreicht, daß die durch byteweises Stopfen in der TU-12 erzeugten Phasensprünge nur langsam und verteilt über

eine längere Zeit an das Ausgangssignal weitergegeben werden. Die durch Stopfvorgänge bedingten Phasenveränderungen können auch, wie in der PCT-Anmeldung WO91/12678 beschrieben, stufenweise an die Phasenregeleinrichtung weitergegeben werden.

Selbstverständliche Schaltungsdetails wie die Taktversorgung und eine Steuereinrichtung für die Speicher wurden aus Gründen der Übersichtlichkeit nicht dargestellt. Deren Realisierung ist jedoch dem Fachmann ohnehin geläufig.

Patentansprüche

1. Verfahren zur Rückgewinnung von in Funktionsdatenblöcken (VC4) übertragenen plesiochronen Signalen (P12), die miteinander verschachtelt sind,

dadurch gekennzeichnet,

daß empfangsseitig zunächst die plesiochronen Signale (P12 = P12.1...P12.63) im Zeitmultiplexbetrieb zwischengespeichert werden, daß anschließend im Zeitmultiplexbetrieb eine Wortjustierung aller plesiochronen Signale (P12.1, P12.2 P12.63) erfolgt,

daß die plesiochronen Signale (P12) wortweise in separaten jeweils einem plesiochronen Signal (P12.1...P12.63) zugeordneten Speicherbereichen eines Pufferspeichers (4) zwischengespeichert werden,

daß dann die plesiochrone Signale (P12) im Zeitmultiplexbetrieb wortweise aus dem Pufferspeicher (4) ausgelesen werden und in paralleler Form oder nach der Umsetzung in serielle Daten (AP12.1 ...AP12.63) ausgegeben werden und daß die Frequenz des jeweiligen Ausgabetaktes (TA, TU) in Abhängigkeit vom Füllgrad des Pufferspeichers (4) und damit von der Datenrate jedes plesiochronen Signals (P12.1 ...P12.63) geregelt wird.

2. Verfahren nach Anspruch 1,

dadurch gekennzeichnet,

daß die Frequenz jedes Ausgabetaktes (TA, TU) in Abhängigkeit vom Füllgrad des Pufferspeichers (4), der Phasenlage (PH) eines Übernahmetaktes (TU) und der Steueradresse (MS) der Multiplexer (MUX1, ... MUX8), die den Versatz zwischen empfangenen Oktetts eines empfangenen Nutzdatensignals (DS) und den Bytes des plesiochronen Signals (P12.1...P12.63) angibt, geregelt wird.

3. Verfahren nach Anspruch 2,

dadurch gekennzeichnet,

daß als Ausgabetakt (TA, TU) ein Taktsignal (TS) mit erhöhter Frequenz verwendet wird und eine Synchronisierung nur durch Verlän-

gern der Taktperiode erfolgt.

4. Verfahren nach Anspruch 3,
dadurch gekennzeichnet,
daß ein mehrphasiges Taktsignal (TS) verwendet wird und eine Synchronisierung nur durch Auswahl des nächsten phasenverschobenen Signals erfolgt.
5. Verfahren nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet,
daß im Zeitmultiplexbetrieb eine Paritätsüberprüfung der plesiochronen Signale (P12) erfolgt.
6. Anordnung zur Rückgewinnung von in Funktionsdatenblöcken (C4) übertragenen plesiochronen Signalen (P12),
dadurch gekennzeichnet,
daß eine für Zeitmultiplexbetrieb geeignete Wortjustiereinrichtung (2) vorgesehen ist, der ein Datensignal (DS) von miteinander verschachtelten plesiochronen Signalen (P12.1 ...P12.63) zugeführt wird,
daß eine Synchronisierung (16) zur Feststellung der Wortgrenzen der plesiochronen Signale (PS12.1 ...PS12.63) vorgesehen ist, der das Datensignal (DS) zugeführt wird, und daß ein Pufferspeicher (4) vorgesehen ist, dem über einen Bus (3) die wortweise ausgerichteten plesiochronen Signale vom Datenausgang der Wortjustiereinrichtung (2) zugeführt werden,
daß an den Ausgang des Pufferspeichers (4) Übernahmeregister (R1) angeschaltet sind, in die im Zeitmultiplexbetrieb Datenwörter eingeschrieben werden, und
daß eine Phasenregeleinrichtung (7) vorgesehen ist, die die mittlere Frequenz von Übernahme- und Ausgabetaktsignalen (TU, TA) regelt.
7. Anordnung nach Anspruch 5,
dadurch gekennzeichnet,
daß die Wortjustiereinrichtung (2) einen Zwischenspeicher (21) zur Aufnahme von mehreren Oktetts der plesiochrone Signale (PS) aufweist,
daß sie Speicherstufen (22) zur Aufnahme von mehreren Stopfbits (S1) aufweist und daß gesteuerte Multiplexer (MUX1 ...MUX8) vorgesehen sind, an deren Eingängen jeweils aufeinanderfolgende zwischengespeicherte und nicht zwischengespeicherte Bits desselben plesiochronen Signals (P12.1 ...P12.63) anliegen und an deren Ausgängen (A1...A8) jeweils ein Datenwort (DW) eines plesiochronen Signals (P12.1... P12.63) abgegeben wird.

8. Anordnung nach Anspruch 5,
dadurch gekennzeichnet,
daß an den Ausgang des Pufferspeichers (4) Parallel-Seriell-Umsetzer (PSU1... PSU63) angeschaltet sind, deren Ausgabetaktsignale (TA) geregelt wird,
daß in jedem Parallel-Seriell-Umsetzer (PSU1...PSU63) ein Übernahmeregister (R1) vorgesehen ist, in das die Datenwörter im Zeitraster eines zentralen Taktes parallel eingespeichert werden,
daß jeweils ein Ausgabe-Schieberegister (R2) vorgesehen ist, in das die Datenwörter parallel vom Übernahmeregister (R1) eingespeichert und seriell ausgegeben werden, daß eine Speicherstufe (14) vorgesehen ist, die den Zustand des Übernahmeregisters (R1) angibt, und
daß jeweils ein Frequenzteiler (13) vorgesehen ist, der durch Frequenzteilung des Ausgabetaktsignals (TA) ein Übernahmetaktsignal (TU) erzeugt und ein Phasen-Steuersignal (PH) an die Phasenregeleinrichtung (7) abgibt.
9. Anordnung nach Anspruch 7,
dadurch gekennzeichnet,
daß als Phasenkorrektureinrichtung (12) ein Multiplexer (MUX32) vorgesehen ist, der jeweils als Ausgabetaktsignal (TA) ein Signal eines mehrphasigen Taktsignals (TS) durchschaltet.
10. Anordnung nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet,
daß die Phasenregeleinrichtung (7) entsprechend der Anzahl der plesiochronen Signale mehrere digitale Phasenregelkreise aufweist.
11. Anordnung nach Anspruch 9,
dadurch gekennzeichnet,
daß entsprechend der Anzahl der plesiochronen Signale (P12.1...P12.63) mehrere Oszillatorzähler (ZO1...ZO63) vorgesehen sind, deren Zählperiode veränderlich ist und die Häufigkeit der Phasenkorrekturschritte der Ausgabetaktsignale (TA) bestimmt.

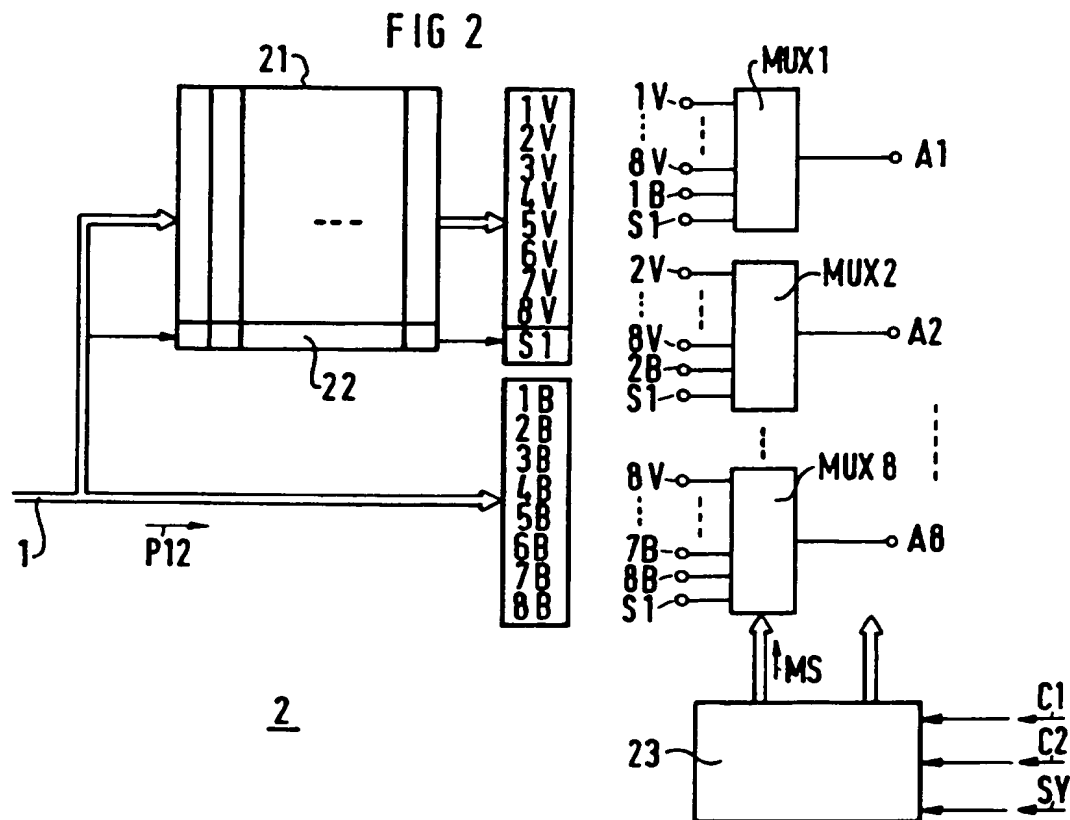
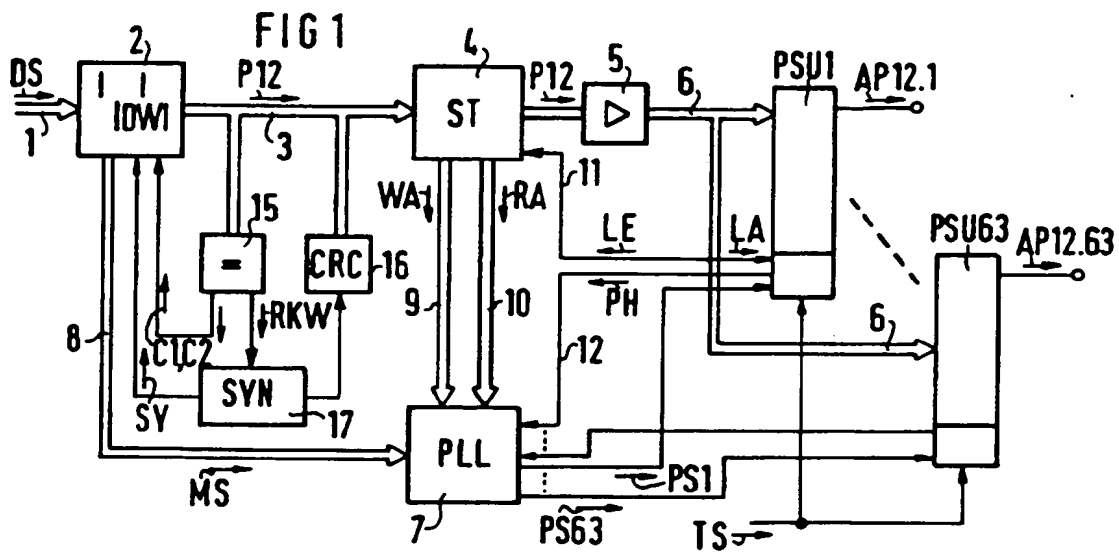


Diagram illustrating the 32-bit data bus structure for the A1A2A3A4A5A6A7A8. The bus is divided into four 8-bit segments: A1A2A3A4, A5A6A7A8, A1A2A3, and A4A5A6A7A8. The first segment (A1A2A3A4) is further divided into two 4-bit segments: A1A2A3 and A4. The second segment (A5A6A7A8) is further divided into two 4-bit segments: A5A6A7 and A8. The third segment (A1A2A3) is further divided into two 4-bit segments: A1A2 and A3. The fourth segment (A4A5A6A7A8) is further divided into two 4-bit segments: A4A5 and A6A7A8. The bus is labeled 'C-Byte' and 'DW'.

Diagram illustrating the 16-bit data bus structure for the A5A6A7A8 module. The bus is divided into four 4-bit segments, each labeled with its corresponding address range:

- A1A2A3A4** (C-Byte): Contains values 1, 2, 3, 4, 5, 6, 7, 8.
- A5A6A7A8**: Contains values 1, 2, 3, 4, 5, 6, 7, 8.
- A1A2A3A4A5**: Contains values 1, 2, 3, 4, 5, 6, 7, 8.
- A5A6A7A8**: Contains values 1, 2, 3, 4, 5, 6, 7, 8.

The bus is labeled **DS~** at the bottom and **A5A6A7A8** at the top.

FIG 5

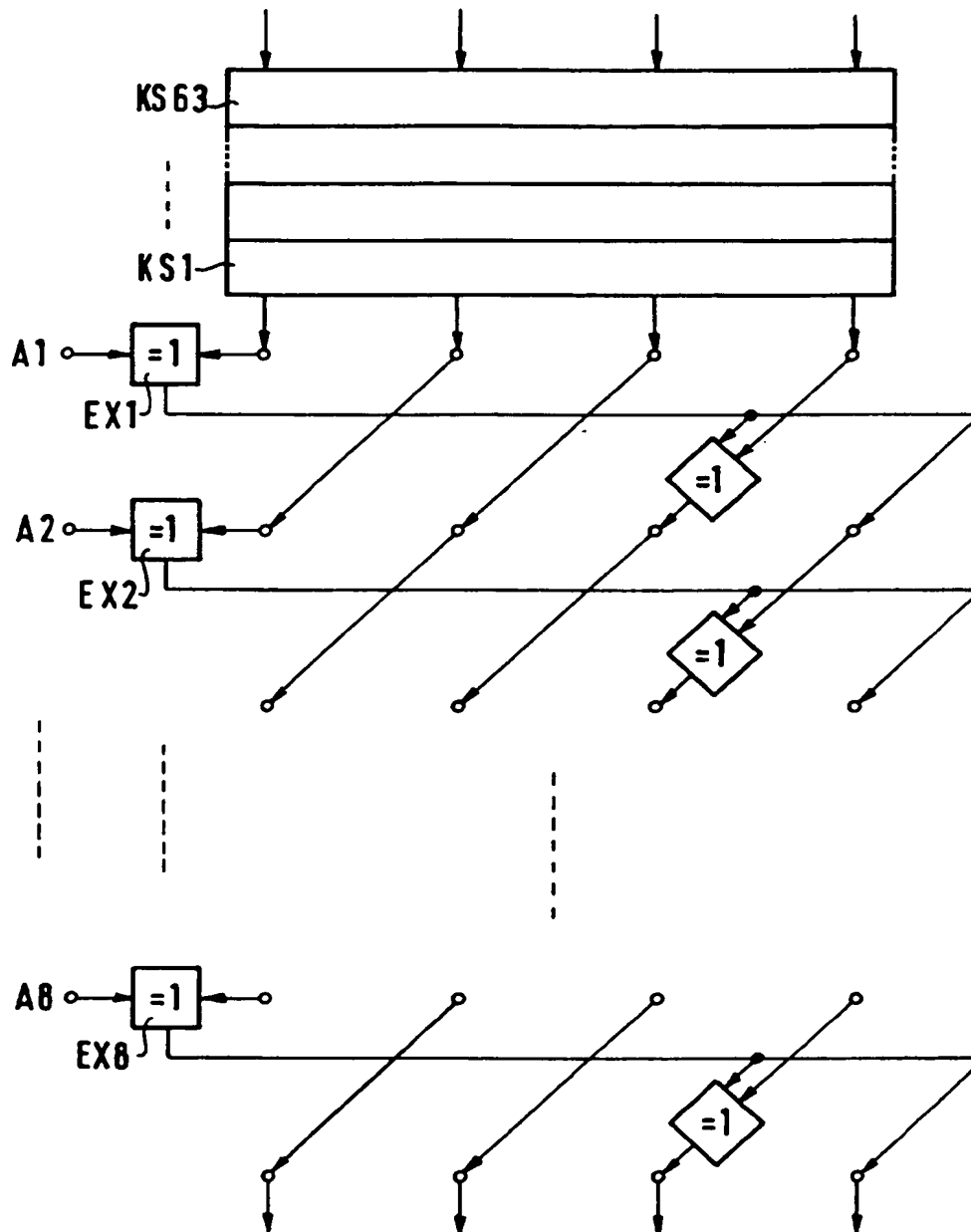


FIG 6

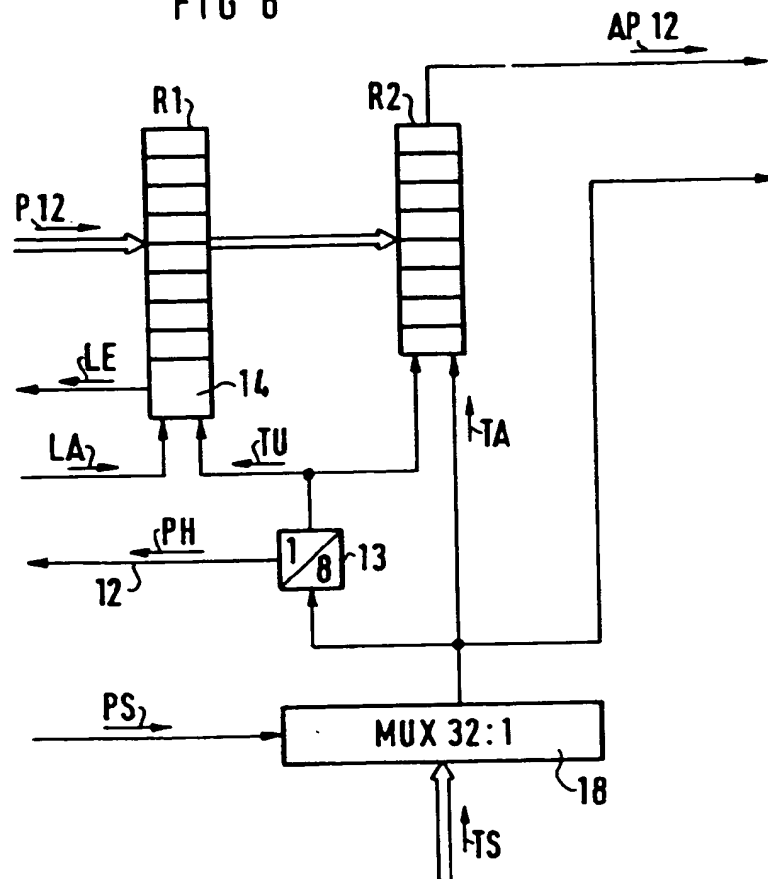


FIG 7

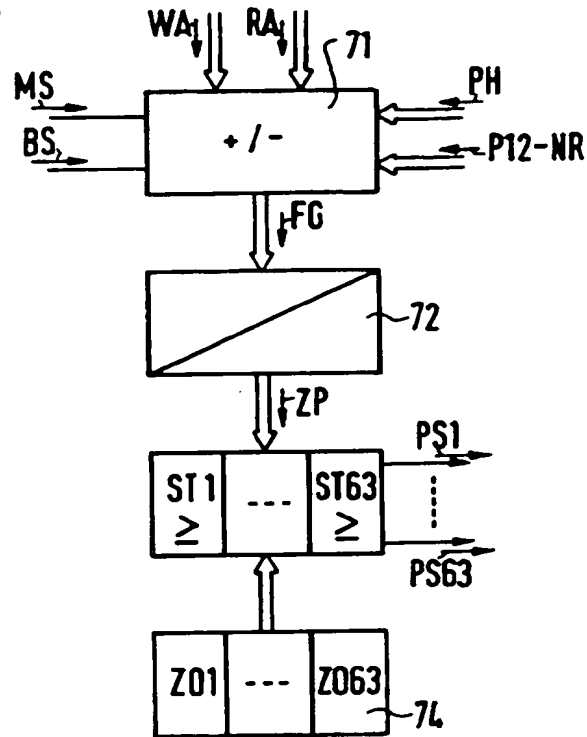
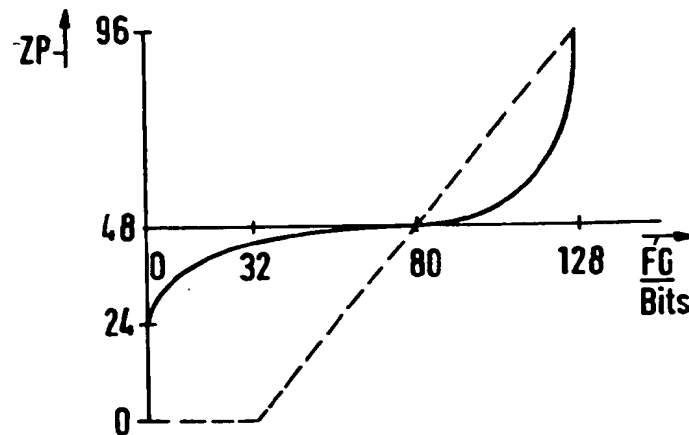


FIG 8





Europäisches
Patentamt

EUROPÄISCHER RECHERCHENBERICHT

Nummer der Anmeldung
EP 93 11 7699

EINSCHLÄGIGE DOKUMENTE			
Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betrifft Anspruch	KLASSIFIKATION DER ANMELDUNG (Int.CLS)
A	EP-A-0 397 144 (SEL) * Spalte 2, Zeile 2 - Spalte 4, Zeile 57; Abbildung 1 *	1,6,7	H04J3/06 H04J3/04
A	EP-A-0 481 400 (PHILIPS) * Spalte 1, Zeile 52 - Spalte 3, Zeile 9 * * Spalte 3, Zeile 20 - Zeile 42 * * Spalte 5, Zeile 11 - Zeile 39 * * Abbildungen 1,2,5 *	1,6,7	
A	ELECTRONICS LETTERS. Bd. 21, Nr. 11, 23. Mai 1985, STEVENAGE GB Seiten 487 - 489 HENRY ET AL. '1.7 Gbit/s MULTIPLEXING-DEMULTIPLEXING SYSTEM FOR A HIGH-BIT-RATE OPTICAL LINK' * Seite 488, linke Spalte, Zeile 5 - rechte Spalte, Zeile 14; Abbildung 1B *	1,5-8, 10,11	
A	RESEARCH DISCLOSURE Nr. 311, März 1990, NEW YORK US Seite 225 N.N. 'FRAME SYNCHRONIZER WITH PARALLEL LOGIC FOR DETECTING LOCATION OF A SYNC CHARACTER AND LOGIC CIRCUITS FOR REALIGNING DATA IN TWO ADJACENT FRAMES' * Seite 225, Zeile 12 - Zeile 39 *	1,6,7	RECHERCHIERTE SACHGEBIETE (Int.CLS) H04J
A	WO-A-91 07830 (TRANSWITCH) * Seite 9, Absatz 5 - Seite 11, Absatz 2; Abbildungen 1A, 1B *	1-3,6, 10,11	
Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt			
Recherchenort DEN HAAG		Abschlußdatum der Recherche 11. Februar 1994	Prüfer Pieper, T
KATEGORIE DER GENANNTEN DOKUMENTE X : von besonderer Bedeutung allein betrachtet Y : von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie A : technologischer Hintergrund O : mündliche Offenbarung P : Zwischenliteratur T : der Erfindung zugrunde liegende Theorien oder Grundsätze E : älteres Patentdokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist D : in der Anmeldung angeführtes Dokument L : aus andern Gründen angeführtes Dokument & : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument			

EPO FORM 1503.03.92 (P/M/C01)